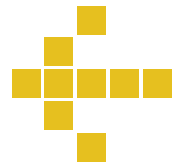


IP-INTELLECTUAL PROPERTY בזמן ובהתאם לתקציב



< עדי כתב, כ.א.ל (כתב אסוסיאטס)

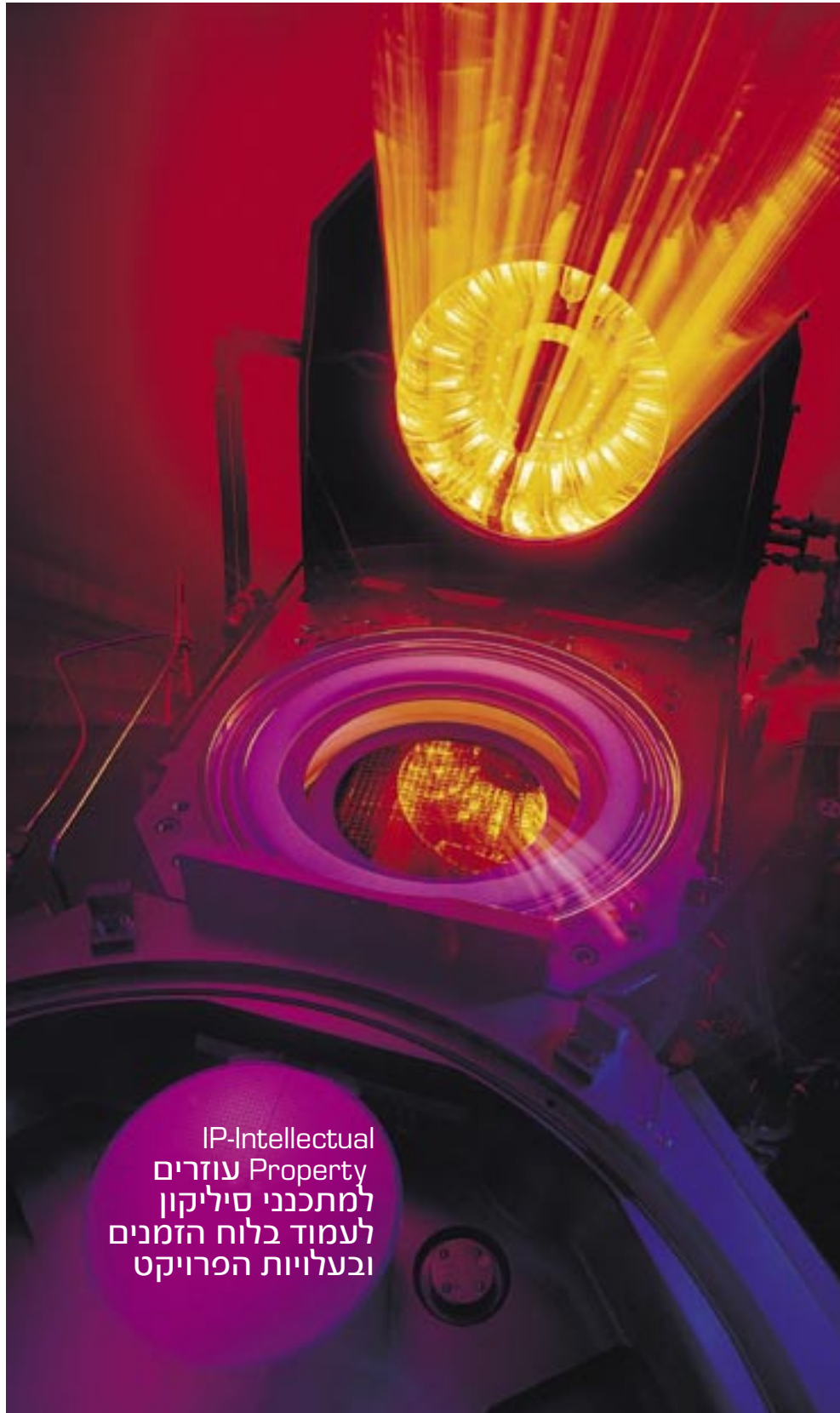
עורכי דין הגדירו Reusable Design Blocks או Cores כ-IP, למרות שרוב מתכנני הסיליקון האלקטרוניים משתמשים במי-נוח IP ומתכוונים ל-Internet Protocol, רוב המהנדסים מעדיפים לתאר מוצרים כאלה כ- Virtual Cores. יחד עם זאת, השימוש במונח IP במונח של Intellectual Property הופך לשכיח, כאשר מבחינים בדוגמה של הבלבול האופף תחום זה של התעשייה האלקטרונית.

למרות שאנליסטים רבים ומשווקים מקצועיים מתייחסים לשוק ה-IP כאל תופעה חדשה בתעשייה, בטכנולוגיה ובשוק לצד שלישי, Reusable IP נמצא בשטח כבר כמעט 20 שנה.

למרות ששוק ה-IP מתפתח, הוא סובל מחוסר בסטנדרטיים עסקיים והנדסיים. המחסור ברישיון אחיד, לעיתים קרובות פוגע ביתרון של קבלת יישום מאושר ומוכן בעל סטנדרטיים תפעוליים הגיוניים. יחד עם זאת, בהתחשב בזמן הפיתוח הקצר יותר ששוק מוצרי האלקטרוניקה של ימינו דורש, השימוש ב-IP מהימן, חוסך זמן, מרחיב את גודל קבוצת הייצור ויכול אף להגדיל את "חיי המדף" של המוצר.

הפורמט הראשון של ה-IP המסחרי

ה-Verification Models היו הפורמט הראשון של IP מסחרי זמין למעצבים. במחצית השנייה של 1980, חברות קטנות כמו EIS Modeling מכרו Logic-Simulation Models אשר נמכרו למספר סימולטורים ו-Emulators. מאחר ששפות עיצוב סטנדרטיות היו בראשית דרכן, רוב המודלים היו מיועדים ספציפית לסימולטורים בבעלות פרטית אשר השתמשו בשפת העיצוב שלהם. כתוצאה מכך ספקים לא יכלו לעשות שימוש חוזר ברוב הישגי הפיתוח והרווח היה נמוך מספיק כדי להשאיר את החברות הגדולות מחוץ לעסק. כאשר Verilog ו-VHDL הפכו מקובלים, סימולטורים רבים אשר עשו שימוש בשפת עיצוב קניינית נעלמו מהשוק. חברות שעשו שימוש ב-VHDL ו-Verilog נשארו בעסק עם יתרון נוסף - להישגים ההנדסיים שלהם היה <



IP-Intellectual
Property עוזרים
למתכנני סיליקון
לעמוד בלוח הזמנים
ובעלויות הפרויקט



< נתח גדול יותר של Reusability.

ההכרות עם ה-Logic-Synthesis סיפקה הזדמנות שיווקית נוספת-Functional Blocks המוכנים, למרות שלמתכנני סילי-קון מעטים הייתה ההכשרה או המומחיות להשתמש בהם ביעילות. לעיתים קרובות המעגלים האלקטרוניים שמתכנני סיליקון ללא הכשרה ייצרו, היו לא אופטימליים מבחינת גודל או מהירות. ב-1991 Synopsys קיבלה ספריה קטנה של Logic Cells ממהנ-דס שעבד בחברה ושימש גם כיועץ עצמאי. התנאים הללו שמשו כבסיס לספריית ה-DesignWare הראשונה למודלים. תוצר ה-DesignWare משופר ומותאם לעמוד ביכולות של תוצרי ה-Logic-Synthesis בהווה, עדיין מוצלח.

רק כשנה לפני הצגת ה-DesignWare, חברה קטנה בשם HDL Systems מכרה זכויות אר-כיטקטוניות ל-MIPS R3000 CPU ברישיון MIPS כ-Synthesizable Module. HDL Systems ייצרה Varilog ו-Synthesizable Modules -VHDL של CPU ומכרה אותם כ-Source Code עם ה-Synthesis Scripts המתאימים בעבור סכום חד פעמי לרישיון.

בהתחשב במעמד החלוצי של החברה היו לה מכירות טובות למדי, אבל היא מעולם לא הצליחה להשיג מימון על מנת להרחיב את פס הייצור. לבסוף רכשה Philips Semiconductor את HDL Systems, ועשתה שימוש ב-R-3000 על מנת לפתח מוצרים נלווים לתהליכי יצור הסיליקון שלה.

ב-1991 החברה הבריטית ARM הציגה את ה-ARM6 שהוא Microprocessor Core אשר נמכר ברישיון למתכנני סיליקון אשר נדרשו לשלב Processor בדגמים שלהם. בשונה מ-HDL Systems מצאה ARM מימון ע"י Nippon Investment and Finance ב-1993 וכיום היא ספקית ה-IP הגדולה בעולם.

חברת Rambus התחילה ב-1990 כיצרנית של Bus Specification, אשר עוצב על מנת לשפר את הקשר בין זיכרון DRAM ובין Microprocessor.

הן ספקיות IP מבוססות והן צוותי מע-צבים קטנים מציעים IP Cores למכירה מז-חלטת או ברישיון על מנת לעמוד בדרישות של מתכנני מערכות. שוק ה-IP גדל מכמה אלפי דולרים ב-1988 ללמעלה מ-1 ביליון דולר ב-2003.

גיים טולי - סגן נשיא ומנהל מחקר בתחום יצור הסיליקון ב-Dataquest: "במ-רבית המקרים לא הגיוני לעצב Proprietary Blocks לפונקציות שהן זמינות מאוד בשוק ה-IP. פונקציות אלה אינן מבדילות את

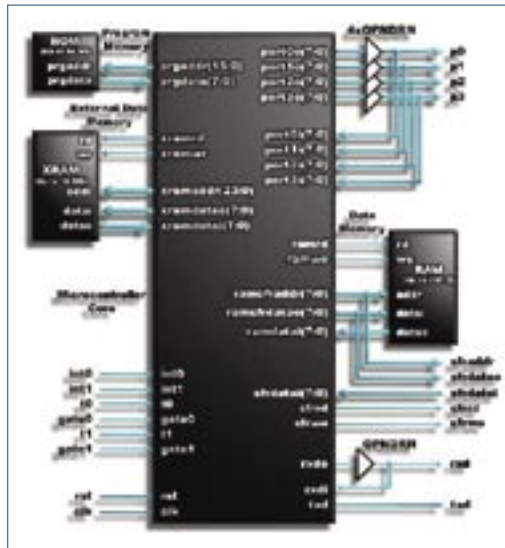
המוצר אבל הן תכונות הכרחיות במערכת תכנון".

שוק ה-IP

Dataquest מדווחת ששווי של שוק ה-IP ב-2003 הוערך בכביליון דולר. גיים טולי צופה צמיחה של 28% בסתיו 2004 רכשה ARM בעלי מקצוע וזה גיבש את ההנהגה שלה בשוק ה-IP. שתיים מתוך שלושת חברות ה-EDA המובילות: Synopsys ו-Mentor נמצאות בין 10 החברות המובילות. הוסיפו למלאי יכולות ב-IP ע"י רכישת חברות IP קטנות ומבוססות. ג'אן ויליס, סגן נשיא בכיר לשיווק תעשייתי ב-Cadence מסביר: "Cadence לא רואה עצמה כספקית IP. אנו מאמינים ששי-לוב של IP ו-EDA הוא לא מה שהלקוח רוצה. כתחליף מציעה החברה OpenChoice - תוכנית שיוצרת זמינות של Third Party IP ללקוחותיה ומתמקדת בפיתוח סביבה שמקלה על שילוב של Third Party IP לדגמי הלקוחות.

ביותר מתוך IP Blocks. Microprocessor Cores נמכרים במספר יחידות יותר מה-DSP Blocks. בתוספת ל-ARM ו-MIPS חברות אחרות כגון: ALTERA, TENSILICA, XILINX ו-ARM, מוכרות מספר רב של Microprocessor Cores. ALTERA מציעה את ה-Nios Processor ו-XILINX מציעה את ה-Power One Processor אשר נמצא אצלה ברישיון מ-IBM. ה-IP Blocks המיועדים לשוק ה-FPGA נמכרים בפחות כסף בגלל שספקי ה-FPGA מקדמים את מכירות תוצרת הסיליקון שלהם ע"י הורדת מחירי ה-IP. למעשה, ספקי IP גדולים אינם יכולים לתת שירותים לשוק ה-FPGA משום ש-XILINX ו-ALTEA ואחרים מוכרים מוצרי IP במחירים נמוכים מאד על מנת לקדם מכירות של הרכיבים האחרים אותם הם משווקים. מכירת מוצר IP זהה בחמישית המחיר של שוק ה-ASIC הוא מראה שכיח בשוק ה-FPGA. למרבה הצער, הרווח הנמוך מונע מחברות מובילות בתעשייה

**גיים טולי:
"במרבת
המקרים לא
הגיוני לעצב
Proprietary
Blocks
לפונקציות שהן
זמינות מאוד
בשוק ה-IP.
פונקציות אלה
אינן מבדילות
את המוצר
אבל הן תכונות
הכרחיות
במערכת
תכנון"**



להיכנס לשוק זה ומותר את התחום לספקים קטנים אשר בקושי מצליחים לספק תמיכה איכותית למעצבים.

רוב ספקיות ה-IP הקטנות פונות לפלח שוק ה-IP וה-Interface Protocol מפני שפיתוח Block דורש השקעה התחלתית קטנה יחסית מאשר לפיתוח Microprocessor או DSP. הצורך ליצור אינטגרציה בין Functional Blocks והעלאת מהירות העברת מידע, הציבה למפתחים מספר סטנדרטים כגון: PCI Express ו-AMBA אשר תרמו גם הם לצמיחת פלח שוק זה.

IP אנלוגי הוא חלק מתפתח בשוק. <

תעשיית ה-IP עוקבת אחר "התבגרות" מודל ה-EDA. חברות גדולות רוכשות מוצרים וטכנולוגיה ע"י רכישת חברות קטנות. אפשר לקנות חברה קטנה במחיר של פיתוח אותה טכנולוגיה בארגון גדול. חברות קטנות בדרך כלל מכלות את מש-אביהן הכלכליים במהלך פיתוח המוצר ואינן מחזיקות מעמד עד שה-IP מכניס רווחים. הכנסותיה של חברה מספקות דרך אחת לבחון את שוק ה-IP. שיטה אחרת היא חלוקת הרווחים על פי סוג המוצר-ים שנמכרו: Digital, Analog, Memories, IP Verification הפלח הדיגיטלי הוא הנמכר



כאשר אינך מפתח את ה-IP אצלך, אין ללקוח שליטה על הפרת פטנטים אלא באמצעות רישיון התוכנה



< יותר ויותר דגמים של (System On Chip) דורשים פונקציות אנלוגיות ומספר מתכנני הסיליקון בעלי מסוגלות אנלוגית קטן משמעותית מהנדרש. לחברות רבות אין את הידע האנלוגי והמומחיות, לכן הן נאלצות לקנות IP בחוץ או לתכנן את הבלוק האנלוגי באמצעות ספק תכנון חיצוני.

בשל העובדה ש-Memories יצרה חלק משמעותי של דגמי SOC, אספקת Self Correcting או Protected Memories הם חיוניים. חברות כמו Ceva, Virage Logic, Kilopass משרתות שוק זה. ל-Verification IP משחק תפקיד חשוב בהתגברות על ה-Verification ובעיות איכות, אשר מהוות מחסום ל-IP Reuse כיום. קשה לשלב Third Party IP Block בדגם מקורי ו-Verification עשוי להקל על התהליך.

קבלת ה-Verification Reuse מביאה את הלקוחות והספקים צעד אחד קרוב יותר להבנת היתרונות הבולטים של IP. מהזן של Denali Software מספקות דרך לבחון ולאמת שכל ה-Blocks אשר מתקשרים על ה-Bus כגון: PCI מתפקדים כראוי ולפי הפרוטוקול.

בעיות ונטיות

שוק ה-IP מתפתח ובהתאם חברות מפיתחות מוצרים מתחרים. ככל שגיאומטריות הסיליקון קטנה, כך מימוש ה-IP בסיליקון קטן ומהנדסים יכולים ליישם מערכות מסובכות על גבי die אחד. כדוגמת 0.8, 0.13, 90nm. המונח SOC מתאר מוצרים אשר משתמשים ב-Submicron Processes. 65nm יהיה זמין לשימוש בעוד מספר שנים ורק יסבך את בעיית ה-Design. כוח האדם ההנדסי חסר גם כן את הזמן והידע לפתח SOC's מאפס, לכן עושים שימוש חוזר ב-Functional Blocks על מנת לקצר את זמן הייצור.

מספר בעיות מאטות את צמיחת השוק. בעיה מרכזית היא הקושי באיולואציה של IP Block מבלי לשלב אותו בדגם מוכן. באופן רגיל, לרכישת IP מצורך ה-Testbench שעובד איתו. לפי הספק הוא יצר IP שעובד. ספקי IP כמעט לעולם לא מספקים דוגמא של שילוב עם מערכת כללית. ספקים רוצים למזער את דאגות הלקוחות ע"י הצעת Hard IP אשר הופק בהצלחה לפי דרישות הקונה אבל הרעיון המשותף להרבה מעצבים שה-IP הזה

עובד כהלכה לאחר היצור. לא ניתן לשנות לכן קשה לקבל Timing נכון, אם אי אפשר להזיז Pin או לשנות Buffer כאשר משלבים את ה-Block עם שאר הדגם.

לכן, היצרנים צריכים להשקיע כסף לתמיכה ואחזקה במשך חיי המוצר. מוצר ה-IP ימשיך להתפתח במשך השימוש, בה-תבסס על Bugs שנמצאו ותוקנו ובאמצעות עדכונים אשר ניתנים בכל טכנולוגיה מתפתחת. בעתיד, ה-IP יתיישן ויהפוך לבלתי שמיש אם לא יוקדשו משאבים על מנת לתחזק אותו. תעשיית ה-IP צריכה לקבל החלטות בנוגע לקביעת נוהל מסודר לטייפול בחוזים. IP Blocks מופצים בפורמטים מגוונים, החל מ-Netlist-Synthesis Logic דרך Verilog/HDL/VHDL-Source Code ועד ל-Hard IP המכיל GDS-2.

כשישה חודשים נדרשים בכדי לנסח הסכם הפצה ל-IP Block. בהתחשב בזמן הפיתוח ההולך ומתקצר ובחלונות השוק ההולכים וצרים, משא ומתן ארוך הופך את המוצר למיושן אפילו אם הפיתוח הסתיים. ה-IP-OSIA, OCP ו-SPRIT Consortia עובדים על אספקטים של שוק ה-IP לפיתוח סטנדרטים מגוונים לשימוש, שייגבירו את הפרודוקטיביות של כל הצדדים המעורבים. הם השיגו התקדמות מסוימת וסטנדרטים מסוימים התגלו, אך עדיין יש עבודה רבה.

חוזי רישיון ה-IP מורכבים בשל בעיות האחוריות במקרה של עברה על פטנטים רשומים, אופן הטיפול בתביעה מסוג זה, הפיצוי וההתנהלות. כאשר אינך מפתח את ה-IP אצלך, אין ללקוח שליטה על הפרת פטנטים אלא באמצעות רישיון התוכנה. ברוב המקרים, משא ומתן על נקודה זו נורספות נערך זמן לא קצר ולפיכך חוזה אחיד ומקובל יקצר תהליך זה, יקטין את עלויות העו"ד ויאפשר רכישת IP בקלות רבה יותר מהמקובל היום.

הכותב הוא המנכ"ל של כ.א.ל (כתב אסופיאטס) מספקת שירותים בתחום ה-ASIC